



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. MI2003 A 000075



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Roma, li

5 APR. 2004

IL FUNZIONARIO

Giampietro Carlotto

Giampietro Carlotto

20

MODULO A



AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

A. RICHIEDENTE (I)

N.G.

1) Denominazione STMicroelectronics S.r.l. SR
 Residenza ACRATE BRIANZA (MI) codice 00 95 19 00 96 8
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome PEZZOLI ENNIO ED ALTRI cod. fiscale _____
 denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.
 via Settembrini n. 40 città MILANO cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/ci/sci) _____ gruppo/sottogruppo _____/_____/_____

"Amplificatore di rilevamento parallelo con specchiamento della corrente da misurare su ogni ramo di riferimento"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/_____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PAGLIATO Mauro 3) ROLANDI Paolo
 2) MONTANARO Massimo 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____/_____/_____
 2) _____/_____/_____

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV n. pag. 25 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
 Doc. 2) 1 PROV n. tav. 04 disegno (obbligatorio se citato in descrizione, 1 esemplare)
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale Dich. sostitutiva
 Doc. 4) 1 RIS designazione inventore
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano
 Doc. 6) 1 RIS autorizzazione o atto di cessione
 Doc. 7) 1 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

confronta singole priorità

8) attestati di versamento, totale Euro DUECENTONOVANTUNO/80 obbligatorio

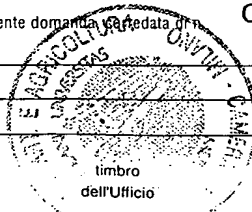
COMPILATO IL 20/01/2003FIRMA DEL(I) RICHIEDENTE(I) ENNIO PEZZOLICONTINUA SI/NO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

MILANO

codice 155VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2003A 000075 Reg. A.L'anno DUEMILATRE, il giorno VENTI, del mese di GENNAIOil(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda data il 20 fogli aggiuntivi per la concessione del brevetto soprariportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE
M. CORTONESI

D. TITOLO

"Amplificatore di rilevamento parallelo con specchiamento della corrente da misurare su ogni ramo di riferimento"

L. RIASSUNTO

Un amplificatore di rilevamento parallelo (300) è proposto. L'amplificatore comprende un ramo di misura (205m) per ricevere una corrente di ingresso (I_m) da misurare, una pluralità di rami di riferimento (205r0-205r2) ciascuno per ricevere una corrente di riferimento (I_{r0} - I_{r2}), ed una pluralità di comparatori (225r0-225r2) ciascuno per confrontare una tensione ad un nodo di misura (310m) lungo il ramo di misura con una tensione ad un nodo di riferimento (310r0-310r2) lungo un corrispondente ramo di riferimento; l'amplificatore ulteriormente comprende uno specchio di corrente multiplo (305m, 305r0-305r2) per specchiare la corrente di ingresso su ciascun ramo di riferimento.

M. DISEGNO

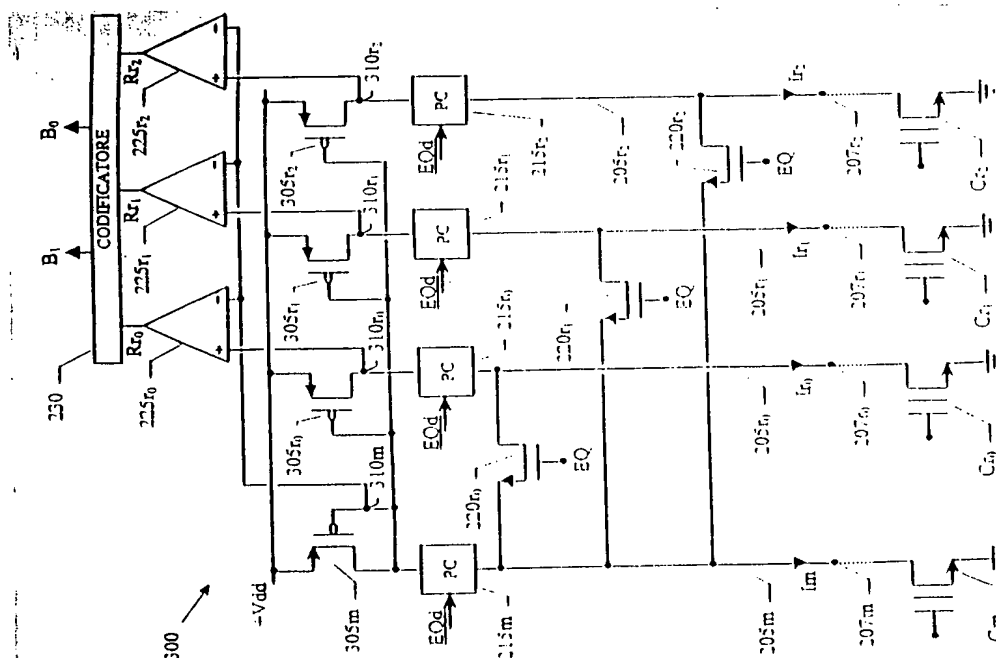
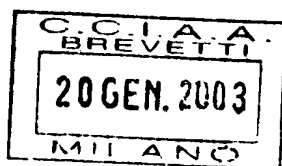


FIG.3a





Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

DESCRIZIONE

dell'invenzione industriale dal titolo:

**"AMPLIFICATORE DI RILEVAMENTO PARALLELO CON SPECCHIAMENTO
DELLA CORRENTE DA MISURARE SU OGNI RAMO DI RIFERIMENTO"**

5 A nome: STMicroelectronics S.r.l.

* * * * * MI 2003 A 0 0 0 0 7 5

La presente invenzione riguarda un amplificatore di rilevamento (sense amplifier) parallelo.

10 Gli amplificatori di rilevamento sono comunemente utilizzati in varie applicazioni, ad esempio per la lettura di dispositivi di memoria non-volatile. Un amplificatore di rilevamento consiste di un circuito che è in grado di misurare un segnale di ingresso a basso livello (come una corrente).

15 Un amplificatore di rilevamento standard confronta la corrente di ingresso con un valore di riferimento. Ad esempio, nel caso di un dispositivo di memoria non-volatile, la corrente fornita da una cella di memoria selezionata è confrontata con la corrente fornita da una
20 cella di riferimento. Tipicamente, l'amplificatore di rilevamento include uno specchio di corrente a carichi sbilanciati. Una porzione della corrente di riferimento fornita ad un ramo di ingresso (in genere la sua metà) è specchiata su un ramo di uscita collegato alla cella di
25 memoria. In questo modo, la tensione ad un nodo del ramo

di uscita aumenta o diminuisce secondo che la corrente della cella di memoria sia inferiore o superiore alla metà della corrente di riferimento. Un comparatore confronta tale tensione con quella ad un nodo del ramo di
5 ingresso e determina di conseguenza il valore memorizzato nella cella di memoria.

La struttura descritta sopra non è tuttavia utilizzabile in un amplificatore di rilevamento parallelo, in cui la corrente di ingresso deve essere
10 confrontata simultaneamente con più valori di riferimento; una tipica applicazione di tale amplificatore di rilevamento è la lettura in modalità parallela di un dispositivo di memoria non-volatile multilivello. In questo caso, infatti, non è ovviamente
15 possibile specchiare le diverse correnti di riferimento (fornite a rispettivi rami di ingresso) sullo stesso ramo di uscita collegato alla cella di memoria.

Una soluzione nota consiste nell'utilizzare un carico costituito da un transistor connesso a diodo in
20 ciascun ramo dell'amplificatore di rilevamento (sia di ingresso sia di uscita). In tale modo, ogni corrente di riferimento è specchiata su un terminale di ingresso di un corrispondente comparatore, mentre la corrente della cella di memoria è specchiata sull'altro terminale di
25 ingresso di tutti i comparatori. Le correnti in ingresso

ad ogni comparatore generano corrispondenti tensioni, la cui differenza consente di stabilire se la corrente della cella di memoria è inferiore o superiore alla corrente di riferimento. La combinazione dei risultati dei vari
5 confronti identifica il valore memorizzato nella cella di memoria.

Un inconveniente della struttura descritta sopra è che le tensioni in ingresso ai vari comparatori hanno un valore molto basso (in quanto i transistori di carico nei
10 corrispondenti specchi di corrente presentano una resistenza trascurabile). Pertanto, l'amplificatore di rilevamento è piuttosto impreciso.

Inoltre, i vari specchi di corrente provocano un elevato consumo di potenza in regime statico. Tali
15 specchi di corrente introducono anche ulteriori imprecisioni dovute alle inevitabili dispersioni dei processi di fabbricazione.

Un diverso amplificatore di rilevamento (non-parallelo) è descritto in US-A-6,128,225. In tale caso,
20 la corrente della cella di memoria è fornita al ramo di ingresso dello specchio di corrente, in modo da essere specchiata sul ramo di uscita collegato alla cella di riferimento. Tuttavia, tale struttura riguarda un amplificatore di rilevamento utilizzabile esclusivamente
25 in un dispositivo di memoria standard. Infatti, lo

specchio di corrente è necessariamente a carichi
sbilanciati. Pertanto, la struttura proposta è del tutto
incompatibile con quella di un amplificatore di
rilevamento parallelo (in particolare, per l'uso in un
5 dispositivo di memoria multilivello).

Scopo della presente invenzione è di ovviare ai
suddetti inconvenienti. Per raggiungere tale scopo è
proposto un amplificatore di rilevamento come indicato
nella prima rivendicazione.

10 In breve, la presente invenzione prevede un
amplificatore di rilevamento parallelo comprendente un
ramo di misura per ricevere una corrente di ingresso da
misurare, una pluralità di rami di riferimento ciascuno
per ricevere una corrente di riferimento, ed una
15 pluralità di comparatori ciascuno per confrontare una
tensione ad un nodo di misura lungo il ramo di misura con
una tensione ad un nodo di riferimento lungo un
corrispondente ramo di riferimento; l'amplificatore
ulteriormente comprende uno specchio di corrente multiplo
20 per specchiare la corrente di ingresso su ciascun ramo di
riferimento.

Inoltre, un dispositivo di memoria comprendente
l'amplificatore di rilevamento ed un corrispondente
metodo di funzionamento dell'amplificatore di rilevamento
25 sono anche inclusi.



Ing. Ennio PEZZOLI
N. Iscriz. 528
(in proprio e per gli altri)

Ulteriori caratteristiche ed i vantaggi della soluzione secondo la presente invenzione risulteranno dalla descrizione di seguito riportata di una sua forma di realizzazione preferita, data a titolo indicativo e non limitativo, con riferimento alle figure allegate, in cui:

Figura 1 è uno schema a blocchi di principio di un dispositivo di memoria in cui l'amplificatore di rilevamento della presente invenzione può essere
10 utilizzato;

Figura 2 mostra un amplificatore di rilevamento noto nell'arte;

Figura 3a è uno schema circuitale semplificato dell'amplificatore di rilevamento in accordo con una
15 forma di realizzazione preferita dell'invenzione; e

Figura 3b illustra i blocchi funzionali utilizzati per generare alcuni segnali di controllo per l'amplificatore di rilevamento.

Con riferimento in particolare alla Figura 1, è
20 mostrato un dispositivo di memoria non-volatile multilivello 100 (ad esempio, una EPROM di tipo asincrono). Il dispositivo di memoria 100 include una matrice di celle di memoria 105. Ciascuna cella di memoria consiste di un transistor MOS a gate flottante.
25 La cella di memoria può essere programmata a livelli

multipli, i quali sono associati con corrispondenti intervalli della sua tensione di soglia (dipendente dalla carica elettrica accumulata nella gate flottante). Ogni livello rappresenta un diverso valore logico; ad esempio, la cella di memoria supporta 4 livelli, per cui essa memorizza un valore logico che consiste di 2 bit di informazione B_1B_0 (11, 10 01 e 00 per tensioni di soglia crescenti). La matrice 105 è suddivisa in una pluralità di settori (ad esempio, 16 settori ciascuno dei quali memorizza 4M bit). Per ogni settore, la matrice 105 include un gruppo di celle di riferimento, le quali sono programmate a tensioni di soglia prefissate.

Un decodificatore di colonna 110c ed un decodificatore di riga 110r sono usati per selezionare un gruppo di celle di memoria della matrice 105 in risposta ad un indirizzo ADR; tipicamente, il gruppo consiste di 8 celle di memoria, le quali memorizzano una parola WD di 16 bit. L'indirizzo ADR è ricevuto in modo asincrono dall'esterno; l'indirizzo ADR è applicato ad un elemento di adattamento (buffer) 115, il quale pilota i decodificatori 110c e 110r di conseguenza. Il decodificatore di colonna 110c si interfaccia anche con una unità di lettura e scrittura (R/W) 120; l'unità 120 include i circuiti necessari per la lettura dalle celle selezionate e per la scrittura sulle celle selezionate di

una parola WD.

L'indirizzo ADR nel buffer 115 è anche fornito ad un circuito di rilevamento di una transizione di indirizzo (ATD) 125; il circuito ATD 125 genera un impulso di
5 rilevamento DET ogniqualvolta l'indirizzo ADR commuta. L'impulso di rilevamento DET è applicato ad un controllore 130, il quale fornisce in uscita una sequenza di segnali di controllo (indicati nel complesso con Sc) per le altre unità del dispositivo di memoria 100; ad
10 esempio, il controllore 130 attiva l'esecuzione di una operazione di lettura dalla matrice 105 in risposta all'impulso di rilevamento DET.

A tale scopo, ogni cella di memoria selezionata è opportunamente polarizzata, in modo che una corrente Im
15 da essa erogata corrisponda al valore logico memorizzato. In particolare, la cella di memoria al valore logico 11 presenta una bassa tensione di soglia, e quindi fornisce una elevata corrente Im; la corrente Im diminuisce all'aumentare della tensione di soglia, sino a diventare
20 nulla quando la cella di memoria è al valore logico 00. Ciascuna coppia di valori logici adiacenti è discriminata da una corrente di riferimento I_{rj} (con $j=0...2$ nel caso in questione), la quale è fornita da una corrispondente cella di riferimento; ad esempio, la cella di memoria è
25 considerata al livello 10 quando la sua corrente Im è

compresa tra la corrente di riferimento I_{r1} e la corrente di riferimento I_{r2} . A tale scopo, per ogni cella di memoria selezionata l'unità di lettura e scrittura 120 include un amplificatore di rilevamento parallelo; come descritto in dettaglio nel seguito, l'amplificatore di

5 rilevamento confronta simultaneamente la corrente di cella I_m con le correnti di riferimento I_{r0} - I_{r2} .

Comunque, i concetti della presente invenzione sono applicabili anche quando il dispositivo di memoria ha

10 un'altra architettura oppure è di tipo diverso (ad esempio, una E^2 PROM flash). Considerazioni analoghe si applicano se le celle di memoria sono programmabili ad un altro numero di livelli (anche diverso da una potenza di 2), se la matrice è suddivisa in un numero diverso di

15 settori, se i settori e/o le parole hanno dimensioni diverse, e simili.

Considerando ora la Figura 2, è mostrato un amplificatore di rilevamento parallelo 200 noto nell'arte. L'amplificatore di rilevamento 200 include un

20 ramo di matrice 205m, il quale riceve la corrente di cella I_m ad un suo nodo di ingresso 207m; tre rami di riferimento 205 r_0 -205 r_2 ricevono invece le corrispondenti correnti di riferimento I_{r0} - I_{r2} a loro nodi di ingresso 207 r_0 -207 r_2 . Nella figura, una cella di memoria

25 selezionata C_m e tre celle di riferimento C_{r0} , C_{r1} , C_{r2} (le



quali forniscono le correnti di riferimento $I_{r0}-I_{r2}$) sono mostrate come se fossero connesse direttamente al ramo di matrice 205m ad ai corrispondenti rami di riferimento $205r_0-205r_2$, rispettivamente (omettendo per semplicità il
5 decodificatore di colonna). Ogni cella (di memoria e di riferimento) C_m, Cr_0-Cr_2 ha il terminale di source che è mantenuto ad una tensione di riferimento (o massa), ed il terminale di drain che è collegato al corrispondente nodo di ingresso $207m, 207r_0-207r_2$ dell'amplificatore di
10 rilevamento 200; i terminali di gate di controllo di tutte le celle C_m, Cr_0-Cr_2 ricevono una tensione di lettura uguale ad una tensione di bootstrap, la quale è superiore ad una tensione di alimentazione +Vdd del dispositivo di memoria (ad esempio, 5V e 1,8V rispetto a
15 massa).

Ogni ramo $205m, 205r_0-205r_2$ comprende un corrispondente transistor PMOS $210m, 210r_0-210r_2$ connesso a diodo. In particolare, i transistori $210m, 210r_0-210r_2$ hanno i terminali di source che sono collegati ad un
20 terminale di alimentazione (il quale fornisce la tensione +Vdd), ed i terminali di gate che sono corto-circuitati sui propri terminali di drain.

Un blocco di pre-carica (PC) $215m, 215r_0-215r_2$ è collegato in serie ad ogni transistor $210m, 210r_0-210r_2$
25 (tra il terminale di drain del transistor $210m, 210r_0-$

210r₂ ed il terminale di ingresso 207m, 207₀-207₂). Il blocco di pre-carica 215m, 215r₀-215r₂ è utilizzato per portare rapidamente la tensione al terminale di drain della corrispondente cella Cm, Cr₀-Cr₂ verso il valore di polarizzazione corretto (ad esempio, 1V). Inoltre, un transistore NMOS di equalizzazione 220r₀-220r₂ unisce ogni ramo di riferimento 205r₀-205r₂ al ramo di matrice 205m. In particolare, il transistore di equalizzazione 220r₀-220r₂ ha il terminale di drain che è collegato al corrispondente nodo di ingresso 207r₀-207r₂ ed il terminale di source che è collegato al nodo di ingresso 207m.

I terminali di gate dei transistori di equalizzazione 220r₀-220r₂ sono controllati da un segnale di abilitazione EN, ed i blocchi di pre-carica 215m, 215r₀-215r₂ sono controllati dallo stesso segnale di abilitazione negato EN (il segnale EN è al livello logico 0 quando deasserito ed al livello logico 1 quando asserito; al contrario, il segnale EN è al livello logico 1 quando deasserito ed al livello logico 0 quando asserito). I segnali di abilitazione EN, EN sono asseriti all'inizio dell'operazione di lettura (dal controllore del dispositivo di memoria in risposta all'impulso di rilevamento DET); questi segnali EN, EN hanno una durata tale da assicurare che l'amplificatore di rilevamento 200

sia portato in una condizione di partenza corretta.

Un comparatore $225r_0-225r_2$ (consistente di un amplificatore differenziale) è associato ad ogni ramo di riferimento $205r_0-205r_2$. In particolare, il terminale di
5 ingresso invertente di ogni comparatore $225r_0-225r_2$ è collegato al terminale di drain del corrispondente transistore $210r_0-210r_2$; il terminale di ingresso non-invertente di tutti i comparatori $225r_0-225r_2$ è invece collegato al terminale di drain del transistore $210m$. In
10 tale modo, ogni transistore $210m, 210r_0-210r_2$ forma uno specchio di corrente con un corrispondente transistore interno al comparatore $225r_0-225r_2$ cui è collegato. Il terminale di uscita di ogni comparatore $225r_0-225r_2$ genera un segnale Rr_0-Rr_1 indicativo dell'esito del
15 confronto; tali segnali di confronto Rr_0-Rr_1 sono applicati ad un codificatore 230, il quale fornisce i bit B_1B_0 memorizzati nella cella di memoria Cm.

Durante l'operazione di lettura, la corrente di cella I_m è specchiata sui terminali di ingresso non-
20 invertente di tutti i comparatori $225r_0-225r_2$; allo stesso tempo, ogni corrente di riferimento $I_{r_0}-I_{r_2}$ è specchiata sul terminale di ingresso invertente del corrispondente comparatore $225r_0-225r_2$. I comparatori $225r_0-225r_2$ eseguono quindi una misura in corrente; in
25 particolare, il segnale di confronto Rr_0-Rr_2 di ogni

comparatore $225r_0-225r_2$ è asserito quando la corrente di cella I_m è maggiore della corrispondente corrente di riferimento $I_{r_0}-I_{r_2}$. In questo modo, la combinazione dei segnali di confronto $R_{r_0}-R_{r_2}$ identifica in modo univoco
5 il livello della cella di memoria C_m (con il corrispondente valore logico B_1B_0 che è quindi ricavato dal codificatore 230).

Passando alla Figura 3a, è invece mostrato un amplificatore di rilevamento 300 in accordo con una forma
10 di realizzazione preferita della presente invenzione (gli elementi corrispondenti a quelli mostrati nella Figura 2 sono identificati con gli stessi riferimenti e la loro spiegazione è omessa per semplicità di descrizione). In
chiaro contrasto con la soluzione nota nell'arte,
15 l'amplificatore di rilevamento 300 include uno specchio di corrente multiplo; tale specchio di corrente ha un ramo di ingresso che è incluso nel ramo di matrice 205m, e tre rami di uscita ciascuno dei quali è incluso in un corrispondente ramo di riferimento $205r_0-205r_2$.

20 In particolare, solo il ramo di matrice 205m ha un transistor PMOS 305m (corrispondente al transistor 210m della Figura 2) che è connesso a diodo; i rami di riferimento $205r_0-205r_2$ includono invece transistori PMOS $305r_0-305r_2$ (corrispondenti ai transistori $210r_0-210r_2$
25 della Figura 2) aventi i loro terminali di gate che sono



collegati al terminale di gate del transistor 305m. I transistori 305m, 305r₀-305r₂ hanno dimensioni sostanzialmente uguali; di conseguenza, il rapporto di specchiamento della struttura così ottenuta (tra il ramo di ingresso ed ogni ramo di uscita) è uguale ad 1.

Contrariamente al caso precedente, il terminale di drain del transistor 305m (nodo 310m) è collegato al terminale di ingresso invertente di tutti i comparatori 225r₀-225r₂, mentre il terminale di drain di ogni transistor 305r₀-305r₂ (nodo 310r₀-310r₂) è collegato al terminale di ingresso non-invertente del corrispondente comparatore 225r₀-225r₂.

Inoltre, i terminali di gate dei transistori di equalizzazione 220r₀-220r₂ sono ora controllati da un segnale di abilitazione EQ, mentre i blocchi di pre-carica 215m, 215r₀-215r₂ sono controllati da un diverso segnale di abilitazione (negato) EQd (i quali segnali sono generati dal controllore del dispositivo di memoria, come descritto in dettaglio nel seguito).

Durante l'operazione di lettura, la corrente di cella Im (nel ramo di matrice 205m) è specchiata su tutti i rami di riferimento 205r₀-205r₂.

Per ogni ramo di riferimento 205r_j, si consideri il caso in cui la corrente di cella Im è superiore alla corrente di riferimento Ir_j. Durante una fase

transitoria, la differenza tra la corrente di cella I_m e la corrente di riferimento I_{rj} carica un condensatore parassita associato al nodo $310r_j$; la tensione a tale nodo $310r_j$ si alza quindi verso la tensione di alimentazione $+V_{dd}$, modificando la condizione di polarizzazione del transistor $305r_j$. A regime, il transistor $305r_j$ lavorerà quindi in zona resistiva conducendo la corrente I_{rj} erogata dalla cella di riferimento Cr_j (con la struttura $305m, 305r_j$ che non funziona più come specchio di corrente). Di conseguenza, la tensione al terminale di ingresso non-invertente del corrispondente comparatore $225r_j$ è superiore alla tensione al suo terminale di ingresso invertente, per cui il segnale di rilevamento Rr_j è asserito.

La situazione contraria si ha quando la corrente di cella I_m è inferiore alla corrente di riferimento I_{rj} . Durante una fase transitoria, la differenza tra la corrente di riferimento I_{rj} e la corrente di cella I_m scarica il condensatore parassita associato al nodo $310r_j$; la tensione a tale nodo $310r_j$ si abbassa quindi verso massa, modificando la condizione di polarizzazione della cella di riferimento Cr_j . A regime, la cella di riferimento Cr_j erogherà quindi la corrente di cella I_m forzata dallo specchio di corrente $305m, 305r_j$. Di conseguenza, la tensione al terminale di ingresso non-

invertente del corrispondente comparatore $225r_j$ è inferiore alla tensione al suo terminale di ingresso invertente, per cui il segnale di rilevamento Rr_j è deasserito.

5 In questo modo, la struttura sopra descritte realizza una conversione corrente-tensione con guadagno su uno stadio di ingresso dell'amplificatore di rilevamento 300. I comparatori $225r_0-225r_2$ eseguono quindi una misura in tensione su valori relativamente
10 elevati. Ciò garantisce una buona sensibilità dell'amplificatore di rilevamento 300 (anche con tensioni di alimentazione di valore ridotto).

Tale caratteristica è particolarmente importante durante un'operazione di scrittura sul dispositivo di
15 memoria. Tipicamente, la scrittura di una parola è ottenuta attraverso una serie di passi di programmazione, ciascuno seguito da una verifica dei valori effettivamente memorizzati nelle celle di memoria selezionate. La verifica è eseguita leggendo la parola
20 scritta con un margine di sicurezza, in cui la corrente di cella I_m è confrontata con correnti di riferimento corrispondenti (per ogni valore logico) ad intervalli più ristretti della distribuzione della sua tensione di soglia. In tale caso, è quindi necessario potere
25 discriminare differenze di corrente di valore

estremamente ridotto.

Inoltre, si noti che nella struttura sopra descritta solo il terminale di gate del transistor 305m è collegato in ingresso ai comparatori 225r₀-225r₂.
5 Pertanto, a causa dell'accoppiamento capacitivo tra tale terminale di gate ed il terminale di alimentazione (dovuto ad una corrispondente capacità parassita), ogni rumore sulla tensione di alimentazione +Vdd si riflette in modo identico sulla tensione ai terminali di ingresso
10 invertente di tutti i comparatori 225r₀-225r₂. Al contrario, i terminali di gate dei transistori 305r₀-305r₂ non sono più collegati in ingresso ai comparatori 225r₀-225r₂; pertanto, la tensione ai terminali di ingresso non-invertente dei rispettivi comparatori 225r₀-
15 225r₂ non risente di eventuali rumori sulla tensione di alimentazione +Vdd.

Come mostrato in Figura 3b, il controllore del dispositivo di memoria genera i segnali di abilitazione EQ ed EQd in risposta all'impulso di rilevamento DET. In
20 particolare, l'impulso di rilevamento DET è fornito ad un generatore di ritardo 350, il quale fornisce in uscita il segnale di abilitazione EQ; il segnale di abilitazione EQ consiste di un'onda quadra che è attivata dall'impulso di rilevamento DET ed ha una durata prefissata (ad esempio
25 alcuni ns).



A sua volta, il segnale di abilitazione EQ è fornito ad un ulteriore generatore di ritardo 355, il quale fornisce in uscita un segnale EQd; il segnale EQd commuta in risposta al segnale di abilitazione EQ, e mantiene
5 tale stato per un tempo superiore (ad esempio, di alcuni ns) alla durata del segnale di abilitazione EQ. Il segnale di abilitazione negato EQd è quindi ottenuto dal segnale EQd tramite un invertitore 360.

In ogni caso, i concetti della presente invenzione
10 sono applicabili anche quando i transistori PMOS sono sostituiti da transistori NMOS, e viceversa, oppure quando l'amplificatore di rilevamento include componenti equivalenti. Considerazioni analoghe si applicano se sono previsti blocchi di equalizzazione con una diversa
15 struttura, se i segnali di abilitazione sono in fase tra loro, e simili.

Più in generale, la presente invenzione propone un amplificatore di rilevamento parallelo. L'amplificatore comprende un ramo di misura per ricevere una corrente di
20 ingresso da misurare, ed una pluralità di rami di riferimento ciascuno per ricevere una corrente di riferimento. Inoltre, sono previsti una pluralità di comparatori, ciascuno per confrontare una tensione ad un nodo di misura lungo il ramo di misura con una tensione
25 ad un nodo di riferimento lungo un corrispondente ramo di

referimento. L'amplificatore dell'invenzione ulteriormente comprende uno specchio di corrente multiplo per specchiare la corrente di ingresso su ciascun ramo di referimento.

5 La soluzione proposta garantisce una elevata precisione (grazie alla conversione corrente-tensione con guadagno sullo stadio di ingresso, la quale consente ai comparatori di eseguire una misura in tensione su valori relativamente elevati).

10 La riduzione dei rami di specchiamento diminuisce drasticamente il consumo di potenza in regime statico. Ciò evita anche eventuali imprecisioni dovute alle dispersioni dei processi di fabbricazione.

Inoltre, la struttura dell'invenzione risulta
15 sostanzialmente immune ai rumori sulla tensione di alimentazione.

La forma di realizzazione preferita dell'invenzione sopra descritta offre ulteriori vantaggi.

In particolare, lo specchio di corrente ha un
20 rapporto di specchiamento uguale ad 1.

Tale amplificatore di rilevamento è specificatamente disegnato per l'uso in un dispositivo di memoria non-volatile multilivello.

Una scelta suggerita per la realizzazione dello
25 specchio di corrente prevede un singolo transistor

collegato a diodo (nel ramo di ingresso).

La struttura proposta è particolarmente semplice e compatta.

Preferibilmente, lo specchio di corrente è
5 realizzato con la soluzione circuitale descritta sopra.

In tale caso, i vari transistori hanno vantaggiosamente dimensioni sostanzialmente uguali.

Comunque, l'amplificatore di rilevamento in accordo con la presente invenzione si presta ad essere realizzato
10 anche con una soluzione circuitale alternativa; inoltre, un diverso dimensionamento dei transistori che formano lo specchio di corrente (e quindi un diverso rapporto di specchiamento) non è escluso.

Come ulteriore miglioramento, i blocchi di pre-
15 carica ed i blocchi di equalizzazione sono controllati da segnali di abilitazione aventi una diversa durata.

La maggiore durata della fase di pre-carica migliora il funzionamento dell'amplificatore di rilevamento.

Preferibilmente, i segnali di abilitazione sono
20 generati utilizzando opportuni generatori di ritardo.

La soluzione proposta è estremamente semplice, ma allo stesso tempo efficace.

L'amplificatore di rilevamento in accordo con la presente invenzione si presta comunque ad essere
25 realizzato generando i segnali di abilitazione in modo

diverso, oppure anche con un unico segnale di abilitazione sia per i blocchi di pre-carica sia per i blocchi di equalizzazione.

L'amplificatore di rilevamento proposto è specificatamente realizzato per l'uso in un dispositivo di memoria non-volatile multilivello.

Vantaggiosamente, il dispositivo di memoria è di tipo asincrono (nel qual caso, i vari segnali di abilitazione sopra citati sono generati da un segnale di rilevamento di una transizione di indirizzo).

Diverse applicazioni dell'amplificatore di rilevamento dell'invenzione non sono comunque escluse; ad esempio, l'amplificatore di rilevamento è utilizzabile in un dispositivo di memoria sincrono, oppure anche in apparati di tipo diverso (ad esempio, in un sensore).

Naturalmente alla soluzione sopra descritta un tecnico del ramo, allo scopo di soddisfare esigenze contingenti e specifiche, potrà apportare numerose modifiche e varianti, tutte peraltro contenute nell'ambito di protezione dell'invenzione, quale definito dalle seguenti rivendicazioni.

* * * * *



RIVENDICAZIONI

1. Un amplificatore di rilevamento parallelo (300) comprendente un ramo di misura (205m) per ricevere una
5 corrente di ingresso (I_m) da misurare, una pluralità di rami di riferimento ($205r_0-205r_2$) ciascuno per ricevere una corrente di riferimento ($I_{r_0}-I_{r_2}$), ed una pluralità di comparatori ($225r_0-225r_2$) ciascuno per confrontare una tensione ad un nodo di misura (310m) lungo il ramo di
10 misura con una tensione ad un nodo di riferimento ($310r_0-310r_2$) lungo un corrispondente ramo di riferimento,

caratterizzato dal fatto che

l'amplificatore ulteriormente comprende uno specchio di corrente multiplo ($305m, 305r_0-305r_2$) per specchiare la
15 corrente di ingresso su ciascun ramo di riferimento.

2. L'amplificatore (300) secondo la rivendicazione 1, in cui lo specchio di corrente ($305m, 305r_0-305r_2$) ha un rapporto di specchiamento sostanzialmente uguale ad 1.

3. L'amplificatore (300) secondo la rivendicazione 1
20 o 2, in cui lo specchio di corrente ($305m, 305r_0-305r_2$) include un ramo di ingresso avente un transistor di ingresso (305m) connesso a diodo ed una pluralità di rami di uscita ciascuno avente un corrispondente transistor di uscita ($305r_0-305r_2$), il ramo di ingresso essendo
25 incluso nel ramo di misura (205m) e ciascun ramo di

uscita essendo incluso in un corrispondente ramo di riferimento ($205r_0-205r_2$).

4. L'amplificatore (300) secondo la rivendicazione 3, in cui ogni comparatore ($225r_0-225r_2$) ha un primo
5 terminale di ingresso ed un secondo terminale di ingresso, ed in cui ogni transistore ($305m, 305r_0-305r_2$) ha un primo terminale, un secondo terminale ed un terminale di controllo, il primo terminale di tutti i transistori essendo connesso ad un terminale di
10 alimentazione, il secondo terminale del transistore di ingresso ($305m$) definendo il nodo di misura ($310m$) connesso al primo terminale di ingresso di ogni comparatore ed il secondo terminale di ogni transistore di uscita ($305r_0-305r_2$) definendo il corrispondente nodo
15 di riferimento ($310r_0-310r_2$) connesso al secondo terminale di ingresso del corrispondente comparatore, ed il terminale di controllo del transistore di ingresso essendo connesso al secondo terminale del transistore di ingresso ed ai terminali di controllo di tutti i
20 transistori di uscita.

5. L'amplificatore (300) secondo la rivendicazione 4 quando dipendente dalla rivendicazione 2, in cui i transistori hanno dimensioni sostanzialmente uguali.

6. L'amplificatore (300) secondo una qualsiasi delle
25 rivendicazioni da 1 a 5, ulteriormente comprendente una

pluralità di blocchi di pre-carica ($215m, 215r_0-215r_2$) ciascuno per pre-caricare un ramo corrispondente ($205m, 205r_0-205r_2$) dell'amplificatore di rilevamento in risposta ad un primo segnale di abilitazione avente una
5 prima durata, una pluralità di blocchi di equalizzazione ($220r_0-220r_2$) ciascuno per equalizzare il ramo di misura ($205m$) con un corrispondente ramo di riferimento ($205r_0-205r_2$) in risposta ad un secondo segnale di abilitazione avente una seconda durata maggiore della prima durata, e
10 mezzi ($350-360$) per generare il primo ed il secondo segnale di abilitazione.

7. L'amplificatore (300) secondo la rivendicazione 6, in cui i mezzi ($350-360$) per generare il primo ed il secondo segnale di abilitazione includono primi mezzi di
15 ritardo (350) per generare il primo segnale di abilitazione in risposta ad un segnale di attivazione di un'operazione di rilevamento e secondi mezzi di ritardo ($355-360$) per generare il secondo segnale di abilitazione in risposta al primo segnale di abilitazione.

20 8. Un dispositivo di memoria non-volatile multilivello (100) comprendente una pluralità di celle di memoria (105) ciascuna programmabile a più di due livelli, mezzi ($110r, 110c$) per selezionare in lettura almeno una cella di memoria, ed almeno un amplificatore
25 di rilevamento parallelo (300) secondo una qualsiasi

delle rivendicazioni da 1 a 7 ciascuno per leggere una corrispondente cella di memoria selezionata.

9. Il dispositivo di memoria (100) secondo la rivendicazione 8, in cui il dispositivo di memoria è di tipo asincrono ed include mezzi (115) per ricevere un indirizzo di selezione delle celle di memoria e mezzi (125) per generare un impulso di rilevamento in risposta ad una transizione dell'indirizzo, i primi mezzi di ritardo (350) generando il primo segnale di abilitazione in risposta all'impulso di rilevamento.

10. Un metodo di funzionamento di un amplificatore di rilevamento parallelo comprendente i passi di:

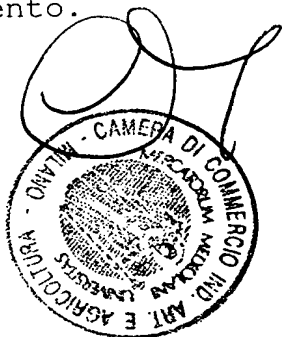
fornire una corrente di ingresso da misurare ad un ramo di misura,

15. fornire ciascuna di una pluralità di correnti di riferimento ad un corrispondente ramo di riferimento,

confrontare una tensione ad un nodo di misura lungo il ramo di misura con una tensione ad un nodo di riferimento lungo ciascuno dei rami di riferimento,

20. caratterizzato dal passo di

specchiare la corrente di ingresso su ciascun ramo di riferimento.

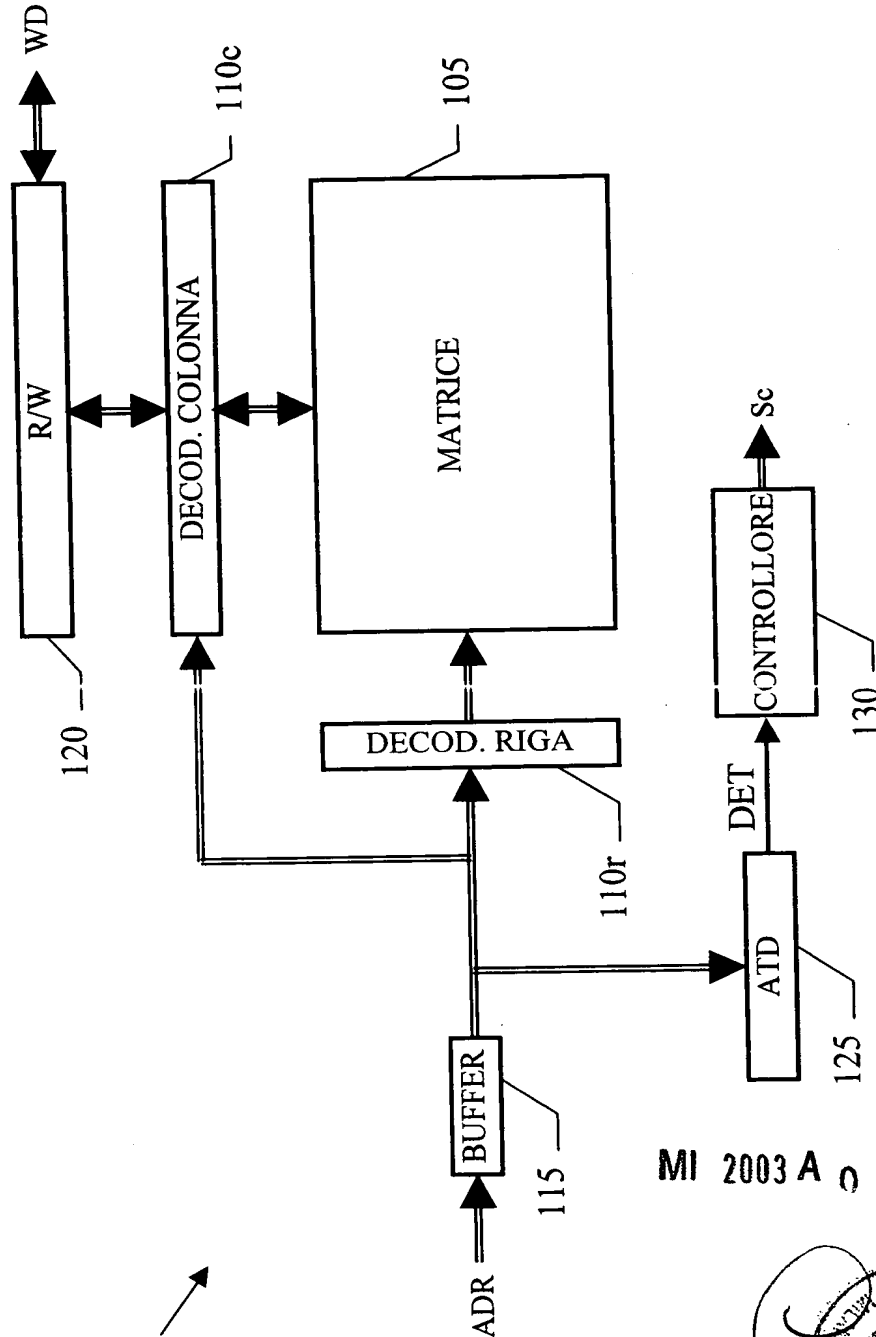


Ing. Ennio PEZZOLI

N. Iscriz. 528

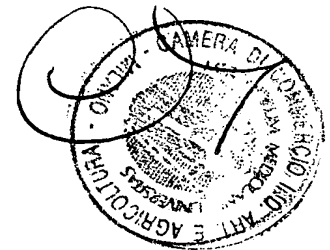
(in proprio e per gli altri)





100

MI 2003 A 0 0 0 0 7 5

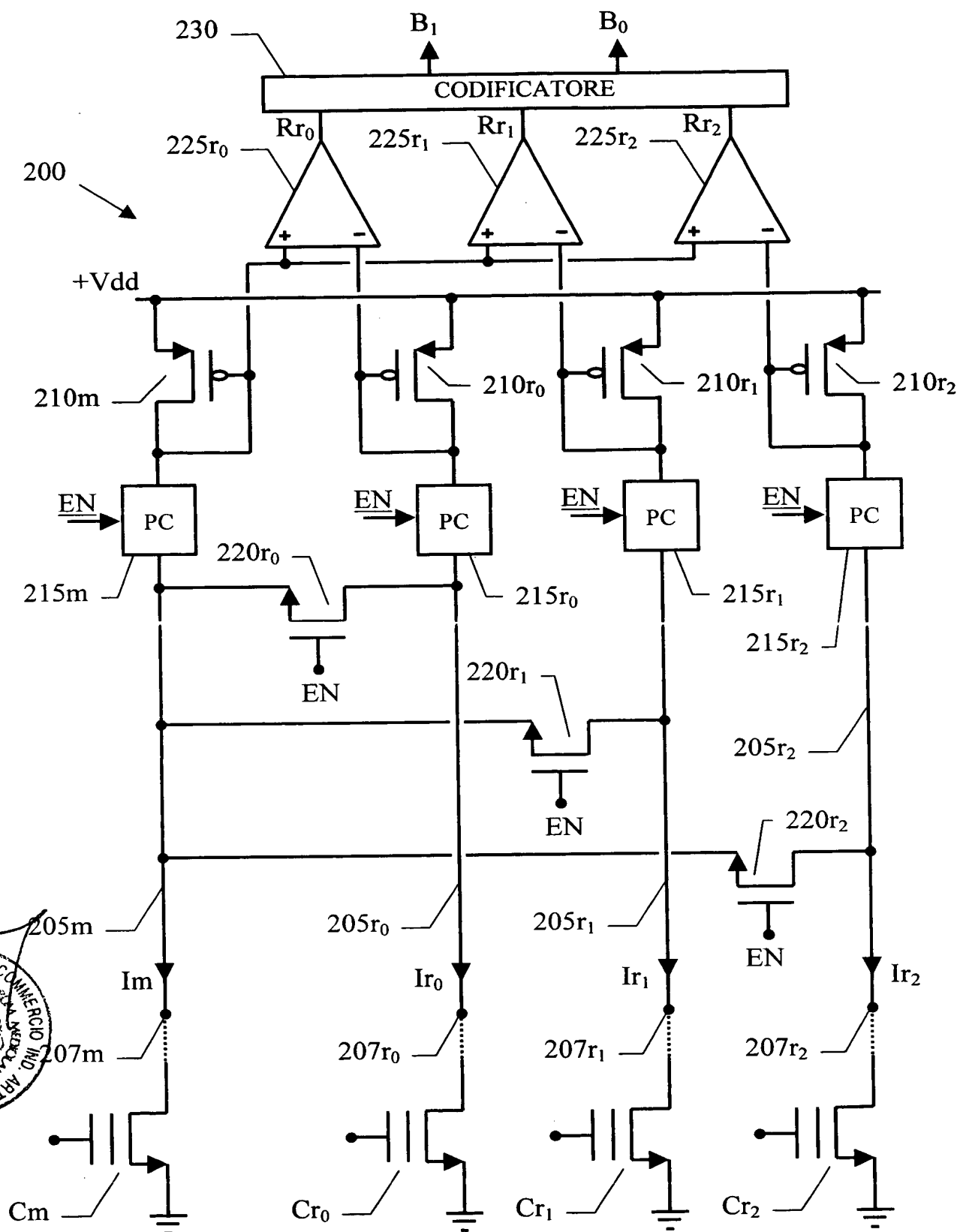


Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

FIG.1



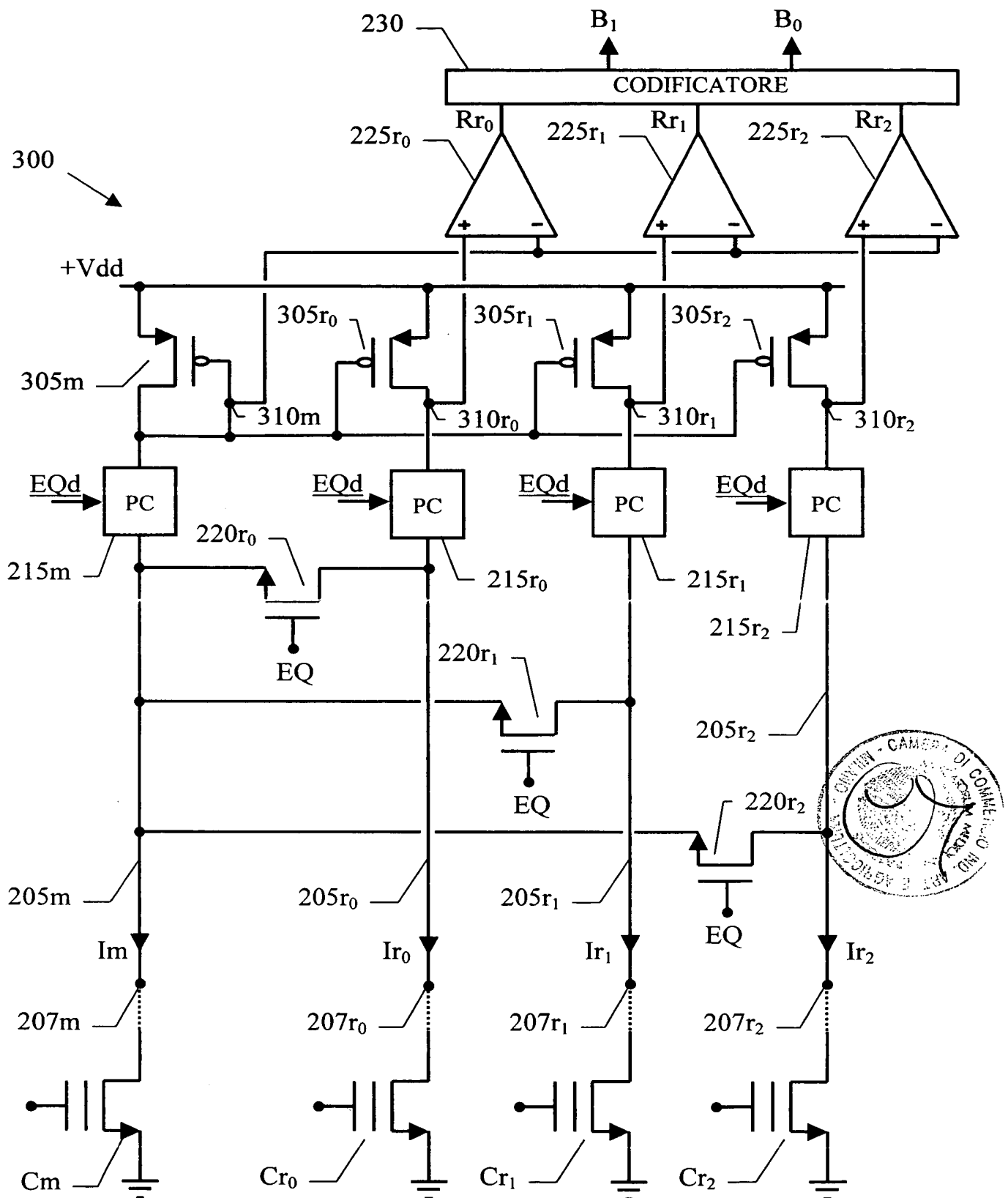
MI 2003A 0 00075

FIG.2

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

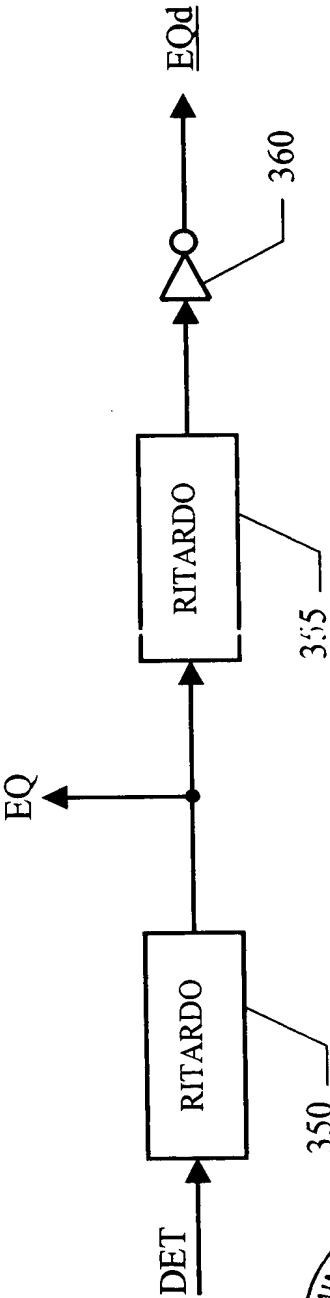


Ing. Ennio PEZZOLI

N. Iscriz. 528

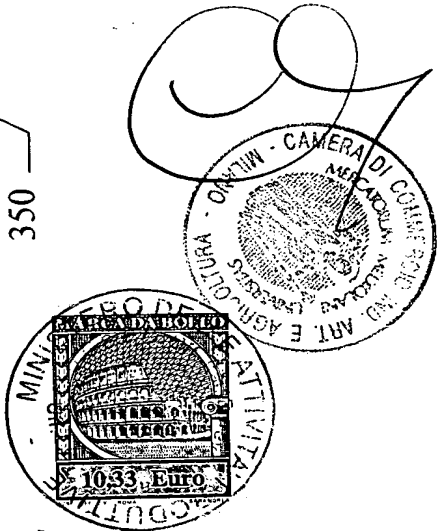
FIG.3a

(improprio e per gli altri)



MI 2003 A 0 0 0 0 7 5

FIG.3b



Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)